

5
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Kazunari AKAOGI

Application No.: 09/758,143

Filed: January 12, 2001

Docket No.: 108344



For: DATA QUANTIZING DEVICE FOR PREDICTING WHETHER OR NOT QUANTIZED
DATA WILL BE 0 AND IMAGE DATA COMPRESSING DEVICE USING THE SAME

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Application No. 2000-003368, filed January 12, 2000

In support of this claim, a certified copy of said original foreign application:

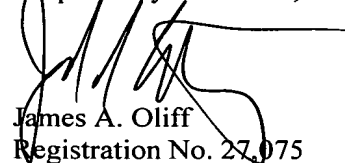
 x is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

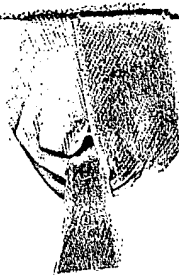
Joel S. Armstrong
Registration No. 36,430

JAO:JSA/cln

Date: April 11, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 1月12日

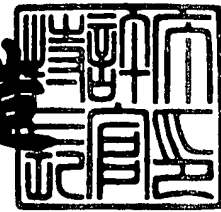
出願番号
Application Number: 特願2000-003368

出願人
Applicant(s): 川崎製鉄株式会社

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



CERTIFIED COPY OF
PRIORITY DOCUMENT

出証番号 出証特2001-3003434

【書類名】 特許願

【整理番号】 99J01369

【提出日】 平成12年 1月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 7/30
H04N 7/28

【発明者】

【住所又は居所】 東京都千代田区内幸町 2 丁目 2 番 3 号 川崎製鉄株式会
社東京本社内

【氏名】 赤荻 一成

【特許出願人】

【識別番号】 000001258

【氏名又は名称】 川崎製鉄株式会社

【代理人】

【識別番号】 100080159

【弁理士】

【氏名又は名称】 渡辺 望稔

【電話番号】 3864-4498

【選任した代理人】

【識別番号】 100090217

【弁理士】

【氏名又は名称】 三和 晴子

【電話番号】 3864-4498

【手数料の表示】

【予納台帳番号】 006910

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 9712299
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ量子化装置

【特許請求の範囲】

【請求項 1】

量子化テーブルを用いて、直交変換後の係数を量子化するデータ量子化装置であって、

前記直交変換後の係数を量子化する前に、前記直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定する比較部と、前記量子化後の係数が‘0’とはならない前記直交変換後の係数のみを量子化するように制御する制御部とを備えていることを特徴とするデータ量子化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばカラー静止画像の圧縮方式の国際標準規格である J P E G (Joint Photographic Experts Group) や、カラー動画画像の圧縮方式の国際標準規格である M P E G (Moving Picture Experts Group) 等で利用されている量子化処理の技術分野に関するものである。

【0002】

【従来の技術】

以下、図 7 および図 8 を参照して、従来のデータ量子化装置について説明する。なお、図 8 に示す係数は、インターフェース (CQ 出版社) 1991 年 12 月版の第 166 ページに掲載されている J P E G の場合のデータを引用したものである。J P E G の場合、図 7 の構成概念図に示すように、原画像データは、例えば水平 8 画素×垂直 8 画素＝64 画素の画像データに対応する 64 個の係数からなるブロック 12 に分割される。

【0003】

データ量子化の各工程はこのブロック 12 を単位として行われる。ブロック 12 内の 64 個の係数 (図 8 (a)) は、まず、直交変換器 14 により水平方向に

対して直交変換され、メモリ 1 6 に記憶される。続いて同じく、直交変換器 1 8 により垂直方向に対して直交変換され、メモリ 2 0 に記憶される。そして、量子化器 2 2 により、量子化テーブル（同（d））2 4 を用いて、直交変換後の各係数（同（b））が量子化される（同（c））。

【0 0 0 4】

ここで、量子化では、メモリに記憶されている直交変換後の係数（同（b））がジグザグスキャンして読み出され、各々対応する量子化テーブル 2 4 の係数（同（d））で割り算して最も近い整数に近似される（同（c））。このように、高周波成分になるほど識別が困難になるという人間の視覚特性を利用し、高周波成分に対応する量子化テーブル 2 4 の係数値を大きくして高周波成分の係数を大きく量子化することにより、大きな圧縮効果、符号化効果を得ている。

【0 0 0 5】

量子化後の各係数は、同じくジグザグスキャンの順序で出力され、連続する ‘0’ の係数（無効係数）の長さを表す 0 ラン長と、それに続く ‘0’ 以外の係数（有効係数）とを用いて符号化される。なお、ブロック 1 2 の最後まで無効係数 ‘0’ が連続する場合、例えば図 8 のように、最後の有効係数 ‘- 1’ から 5 4 個の無効係数 ‘0’ が連続する場合、最後の有効係数を符号化した直後に E O B (End Of Block) を付けて符号化を終了する。

【0 0 0 6】

ところで、前述のように、高い圧縮効果を得るために、直交変換後の高周波成分の係数を大きく量子化すると、量子化後の高周波成分の係数は ‘0’ になる場合が多い。従って、従来のデータ量子化装置では、量子化後にブロックの最後まで無効係数 ‘0’ が連続する場合、図示例では 5 4 個の ‘0’ が連続する場合であっても、結果が ‘0’ になる除算を繰り返し行わなければならないため、その分、消費電力が増大するし、処理も高速化できないという問題がある。

【0 0 0 7】

【発明が解決しようとする課題】

本発明の目的は、前記従来技術に基づく問題点を解消し、消費電力を削減することができ、なおかつ処理も高速化することができるデータ量子化装置を提供す

ることにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するために、本発明は、量子化テーブルを用いて、直交変換後の係数を量子化するデータ量子化装置であって、

前記直交変換後の係数を量子化する前に、前記直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定する比較部と、前記量子化後の係数が‘0’とはならない前記直交変換後の係数のみを量子化するように制御する制御部とを備えていることを特徴とするデータ量子化装置を提供するものである。

【 0 0 0 9 】

【発明の実施の形態】

以下に、添付の図面に示す好適実施例に基づいて、本発明のデータ量子化装置を詳細に説明する。

【 0 0 1 0 】

図 1 は、本発明のデータ量子化装置の第 1 の実施例の構成概念図である。

図示例のデータ量子化装置 1 0 は、図 7 に示す従来のデータ量子化装置 4 2 に対して本発明を適用したもので、直交変換後の係数を量子化する前に、直交変換後の係数とこれに各々対応する量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定し、量子化後の係数が‘0’にならない直交変換後の係数のみを量子化するように制御する。

【 0 0 1 1 】

これに応じて、本発明のデータ量子化装置 1 0 は、従来のデータ量子化装置 4 2 と比較して、さらに、シフト回路 2 6 と、比較器 2 8 と、量子化予測レジスタ 3 0 と、リード (READ) ・コントロール回路 3 2 とを備えている。なお、従来のデータ量子化装置 4 2 と同一の構成要素である直交変換器 (1-D DCT) 1 4, 1 8、メモリ (RAM) 1 6, 2 0、量子化器 2 2 および量子化テーブル 2 4 には同じ符号を付けてある。

【 0 0 1 2 】

図示例のデータ量子化装置 1 0 において、まず、直交変換器 1 4 は、ブロック内の画像データに対応する係数を、例えば水平方向について直交変換して周波数成分の係数に変換する。直交変換後の各係数はメモリ 1 6 に記憶される。同じく、直交変換器 1 8 は、メモリ 1 6 から読み出される各係数を、例えば垂直方向について直交変換する。直交変換後の各係数はメモリ 2 0 およびシフト回路 2 6 に供給される。

【 0 0 1 3 】

続いて、シフト回路 2 6 は、直交変換後の係数をシフトする。本実施例では、シフト回路 2 6 は、直交変換後の係数の値を上位ビット側に 1 ビットシフトして 2 倍する。なお、シフト回路 2 6 は、現実的には、 n ビットの係数の配線を上位ビット側に 1 ビットずらして接続するだけで実現できるため、何ら回路増加にならないという利点がある。シフト回路 2 6 によって 2 倍された直交変換後の係数は比較器 2 8 に供給される。

【 0 0 1 4 】

比較器 2 8 は、直交変換後の係数を量子化する前に、直交変換後の係数、図示例では、シフト回路 2 6 によって 2 倍された直交変換後の係数とこれに各々対応する量子化テーブル 2 4 の係数とを比較し、量子化後の係数が '0' となるかどうかを判定する。なお、量子化テーブル 2 4 の係数は、直交変換後の係数をメモリ 2 0 に書き込む時に使用するアドレス信号を使用して読み出されるため、回路を追加することなく実現できるという利点がある。

【 0 0 1 5 】

例えば、量子化器 2 2 が四捨五入によって量子化を行う場合、 $|$ (直交変換後の係数の値 (図 8 (b)) / 量子化テーブル 2 4 の係数の値 (同 (d))) $| \geq 0.5$ 、すなわち、 $2 \times |$ (b) $| \geq$ (d) の時に、量子化後の係数が '0' とはならないと判定することができる。図 8 のデータに対応する比較判定結果の一例を図 2 に示すように、本実施例では、量子化後の係数が '0' とはならない場合に、比較判定結果として '1' が出力されるものとする。

【 0 0 1 6 】

これらのシフト回路 2 6、比較器 2 8、量子化テーブル 2 4 からの係数の読み

出しに必要な回路等が本発明の比較部を構成する。なお、本実施例は、量子化器 22 が四捨五入によって量子化を行う場合の一例であって、量子化器 22 が実施例とは異なる方法で量子化を行う場合、その量子化の方法に従って、比較器 28 が比較する直交変換後の係数の値と量子化テーブル 24 の係数の値を適宜調整するように回路を変更すればよい。

【0017】

比較器 28 から出力される比較判定結果は量子化予測レジスタ 30 に供給される。量子化予測レジスタ 30 は、比較器 28 から供給される比較判定結果、本実施例では、図 8 のデータに対応する一例を図 3 に示すように、 $8 \times 8 = 64$ 個の比較判定結果を記憶する。なお、比較判定結果は、直交変換後の係数をメモリ 20 に書き込む時に使用するアドレス信号を使用して量子化予測レジスタ 30 へ書き込まれるため、回路を追加せずに実現できる。

【0018】

続いて、リード・コントロール回路 32 は、量子化予測レジスタ 30 をジグザグスキャンして比較判定結果を読み出し、比較判定結果が '1' である場合、すなわち、量子化後の係数が '0' とはならないと判定された直交変換後の係数のみをメモリ 20 から読み出すように制御する。なお、比較判定結果は、直交変換後の係数をメモリ 20 から読み出す時に使用するアドレス信号を使用してジグザグスキャンの順序で読み出される。

【0019】

ところで、0 ラン長は、通常、量子化後の係数の内の連続する '0' の係数をカウントすることにより求められる。これに対し、図示例のデータ量子化装置 10 では、リード・コントロール回路 32 が予測レジスタ 30 から比較判定結果を読み出す際に、連続する '0' の比較判定結果の個数をカウントすることにより、図 8 のデータに対応する一例を図 4 に示すように、量子化する前に 0 ラン長を求めることができ、以後の処理を高速化することができる。

【0020】

以上の量子化予測レジスタ 30、リード・コントロール回路 32、量子化予測レジスタ 30 からの比較判定結果の読み出しや、メモリ 20 からの直交変換後の

係数の読み出しに必要な回路等が本発明の制御部を構成する。なお、制御部の構成は図示例のものに限定されず、量子化後の係数が‘0’とはならない直交変換後の係数のみを量子化するように制御するものであればどのような回路構成であってもよい。

【0021】

前述のように、メモリ20からは、量子化予測レジスタ30から読み出された比較判定結果が‘1’である場合に、これに対応する直交変換後の係数がジグザグスキンの順序で読み出され、量子化器22へ供給される。量子化器22は、量子化テーブル24を使用して、メモリ20から供給される直交変換後の係数を量子化する。そして、量子化後の係数と0ラン長は、ジグザグスキンの順序で符号化器（図示省略）に供給される。

【0022】

図示例のデータ量子化装置10には、単位ブロック、すなわち、 $8 \times 8 = 64$ 画素の画像データに対応する64個の係数がブロック単位で入力される。ブロック内の各々の係数は、まず、直交変換器14によって水平方向に直交変換された後、メモリ16に記憶される。続いて、メモリ16に記憶された係数が読み出され、直交変換器18によって垂直方向に直交変換された後、メモリ20およびシフト回路26に供給される。

【0023】

直交変換後の係数は、シフト回路26により2倍され、比較器28に供給される。また、量子化テーブル24の係数が、直行変換後の係数をメモリ20に書き込む時に使用するアドレス信号を使用して読み出され、比較器28に供給される。これらの2倍された直行変換後の係数とこれに各々対応する量子化テーブル24の係数とは、直交変換後の係数を量子化する前に比較器28によって比較され、量子化後の係数が‘0’となるかどうか判定される。

【0024】

続いて、比較器28から出力される比較判定結果は量子化予測レジスタ30に供給され、直交変換後の係数をメモリ20に書き込む時に使用するアドレス信号を使用して量子化予測レジスタ30に記憶される。以上のようにして、直交変換

後の各々の係数について、量子化テーブル 2 4 から対応する係数を読み出し、量子化予測レジスタ 3 0 に比較判定結果を書き込む時同時に、直交変換器 1 8 から供給される直交変換後の係数がメモリ 2 0 に書き込まれる。

【 0 0 2 5 】

その後、リード・コントロール回路 3 2 により、直交変換後の係数をメモリ 2 0 から読み出す時に使用するアドレス信号を使用して、量子化予測レジスタ 3 0 がジグザグスキャンされて比較判定結果が読み出される。そして、比較判定結果が '1' である場合、すなわち、量子化後の係数が '0' とはならないと判定された直交変換後の係数のみがメモリ 2 0 から読み出され、量子化器 2 2 へ供給される。

【 0 0 2 6 】

また、リード・コントロール回路 3 2 では、予測レジスタ 3 0 から比較判定結果を読み出す際に、連続する '0' の比較判定結果の個数をカウントすることにより、0 ラン長が求められる。そして、メモリ 2 0 から読み出された直行変換後の係数は、量子化テーブル 2 4 を使用して、量子化器 2 2 によって量子化され、量子化後の係数と 0 ラン長はジグザグスキャンの順序で符号化器に供給され、可変長符号化される。

【 0 0 2 7 】

本実施例では、比較判定結果が '1' である場合、すなわち、量子化後の係数が '0' とはならない直交変換後の係数のみをメモリ 2 0 から読み出して量子化するため、言い換えると、量子化後の係数が '0' となる直交変換後の係数を量子化しないため、そのための消費電力を削減することができ、その分の処理を高速化することができるとともに、0 ラン長を前もって求めることができるため、さらに処理を高速化できる。

【 0 0 2 8 】

本発明の第 1 の実施例のデータ量子化装置 1 0 は以上のようなものである。

次に、本発明の第 2 の実施例のデータ量子化装置について説明する。

【 0 0 2 9 】

図 5 は、本発明のデータ量子化装置の第 2 の実施例の構成概念図である。

図示例のデータ量子化装置 3 4 は、図 1 に示す本発明のデータ量子化装置 1 0 と比較して、量子化予測レジスタ 3 0 およびリード・コントロール回路 3 2 を備えていない点と、比較器 2 8' を通して直交変換後の係数がメモリ 2 0 に書き込まれる点と、量子化器 2 2' が、量子化後の係数が '0' とならない直交変換後の係数のみを量子化する点とが異なる。

【 0 0 3 0 】

なお、データ量子化装置 3 4 において、比較器 2 8' および量子化器 2 2' を除く、他の構成要素である直交変換器 1 4、1 8、メモリ 1 6、2 0、シフト回路 2 6 および量子化テーブル 2 4 の構成は、データ量子化装置 1 0 と全く同じものである。従って、本実施例では、データ量子化装置 3 4 とデータ量子化装置 1 0 とで同じ構成要素には同じ符号を付して参照し、その詳細な説明は省略するものとする。

【 0 0 3 1 】

まず、比較器 2 8' は、図 1 に示すデータ量子化装置 1 0 の比較器 2 8 の場合と同じように、直交変換後の係数を量子化する前に、図示例では、シフト回路 2 6 によって 2 倍された直交変換後の係数とこれに各々対応する量子化テーブル 2 4 の係数とを比較し、量子化後の係数が '0' となるかどうかを判定する。なお、量子化テーブル 2 4 の係数は、直交変換後の係数をメモリ 2 0 に書き込む時に使用するアドレス信号をそのまま使用して読み出される。

【 0 0 3 2 】

そして、比較器 2 8' は、比較判定結果が '1' の場合、すなわち、量子化後の係数が '0' とならない直交変換後の係数のみをメモリ 2 0 に書き込み、比較判定結果が '0' の場合、すなわち、量子化後の係数が '0' となる場合、メモリ 2 0 に直交変換後の係数の値を書き込まずに '0' を書き込む。言い換えると、メモリ 2 0 に、図 1 のデータ量子化装置 1 0 における量子化予測レジスタ 3 0 の役割を与える。

【 0 0 3 3 】

これにより、図 1 に示すデータ量子化装置 1 0 の量子化予測レジスタ 3 0 を省略することができ、回路規模を削減することができる。また、メモリ 2 0 から直

交変換後の係数をジグザグスキャンして読み出す時に、連続する‘0’の係数をカウントすることにより、図1に示すデータ量子化装置10の量子化予測レジスタ30を使用する場合と同じように0ラン長を求めることができ、処理を高速化することができる。

【0034】

メモリ20に記憶された直交変換後の係数は、上記の通りジグザグスキャンして読み出され、量子化器22’に供給される。量子化器22’は、量子化後の係数が‘0’とならない直交変換後の係数のみを量子化する。言い換えると、本実施例では、量子化後の係数が‘0’となる直交変換後の係数はあらかじめ‘0’が書き込まれているので、量子化器22’は、メモリ20から供給される‘0’ではない直交変換後の係数のみを量子化する。

【0035】

ここで、図6に、量子化器の一実施例の構成概念図を示す。

図示例の量子化器22’は、量子化回路36と、オール0検出回路38と、セクタ40とを備えている。メモリ20から供給される直交変換後の係数は、量子化回路36およびオール0検出回路38に入力される。

まず、量子化回路36は、‘0’ではない直交変換後の係数のみを量子化する。量子化後の係数はセクタ40の入力端子1に入力される。

【0036】

また、オール0検出回路38は、直交変換後の係数が‘0’であることを検出する。その検出結果は、セクタ40の入力端子0および選択入力端子に入力される。図示例の場合、直交変換後の係数が‘0’であることを検出すると、オール0検出回路38からは‘0’が出力される。これに対して、直交変換後の係数が‘0’でないことを検出すると、オール0検出回路38からは‘1’が出力される。

【0037】

セクタ40は、量子化後の係数として、量子化回路36から出力される量子化後の係数、または、‘0’を選択的に出力する。オール0検出回路38から‘0’が出力されると、セクタ40からは‘0’が出力され、オール0検出回路

38から‘1’が出力されると、量子化回路36から出力される量子化後の係数が出力される。そして、量子化後の係数は、ジグザグスキャンの順序で符号化器に供給される。

【0038】

図示例のデータ量子化装置34において、比較器28’により比較判定が行われ、比較判定結果が出力されるまでの動作は、図1に示すデータ量子化装置10の場合と同じである。比較判定結果が‘1’の場合、すなわち、量子化後の係数が‘0’とならない直交変換後の係数は、比較器28’によってそのままメモリ20に書き込まれ、比較判定結果が‘0’の場合、すなわち、量子化後の係数が‘0’となる場合には‘0’が書き込まれる。

【0039】

メモリ20に記憶された直交変換後の係数は、ジグザグスキャンして読み出され、量子化器22’に供給される。量子化器22’では、量子化テーブル24を使用して‘0’ではない直交変換後の係数のみを、すなわち、量子化後の係数が‘0’とならない直交変換後の係数のみを量子化し、‘0’の直交変換後の係数については量子化することなく‘0’を出力する。そして、量子化後の係数はジグザグスキャンの順序で符号化器に供給され、可変長符号化される。

【0040】

本実施例においても、量子化後の係数が‘0’となる直交変換後の係数を量子化しないので、その分の消費電力を削減し、かつ、処理を高速化することができる。本実施例では、量子化回路36が、‘0’ではない直交変換後の係数のみを量子化するように構成され、オール0検出回路38およびセレクタ40を備える点が本発明の制御部を構成する。なお、量子化器22’すなわち本発明の制御部の構成は何ら限定されるものではない。

【0041】

本発明の第2のデータ量子化装置34は、基本的に以上のようなものである。

なお、本発明は、J P E GやM P E Gでの量子化に限定されるものではなく、データを量子化するあらゆる装置に対して適用可能である。

以上、本発明のデータ量子化装置について詳細に説明したが、本発明は上記実

施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【 0 0 4 2 】

【発明の効果】

以上詳細に説明した様に、本発明のデータ量子化装置は、直交変換後の係数を量子化する前に、直交変換後の係数とこれに各々対応する量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定し、量子化後の係数が‘0’にならない直交変換後の係数のみを量子化するように制御するものである。

本発明のデータ量子化装置によれば、量子化後の係数が‘0’となることを前もって予測するため、無駄な量子化処理を省略することができ、その結果として、消費電力を削減し、かつ、処理を高速化することができる。また、本発明によれば、追加回路が少なく、その制御も極めて簡単であるという利点がある。

【図面の簡単な説明】

【図 1】 本発明のデータ量子化装置の第 1 の実施例の構成概念図である。

【図 2】 比較器による比較結果を表す一実施例の概念図である。

【図 3】 量子化予測レジスタの内容を表す一実施例の概念図である。

【図 4】 0 ラン長の状態を表す一実施例の概念図である。

【図 5】 本発明のデータ量子化装置の第 2 の実施例の構成概念図である。

【図 6】 量子化器の一実施例の構成概念図である。

【図 7】 従来のデータ量子化器の一例の構成概念図である。

【図 8】 データ量子化の各工程における係数の内容を表す一例の概念図である。

【符号の説明】

1 0, 3 4, 4 2 データ量子化装置

1 2 ブロック

1 4, 1 8 直交変換器

1 6, 2 0 メモリ

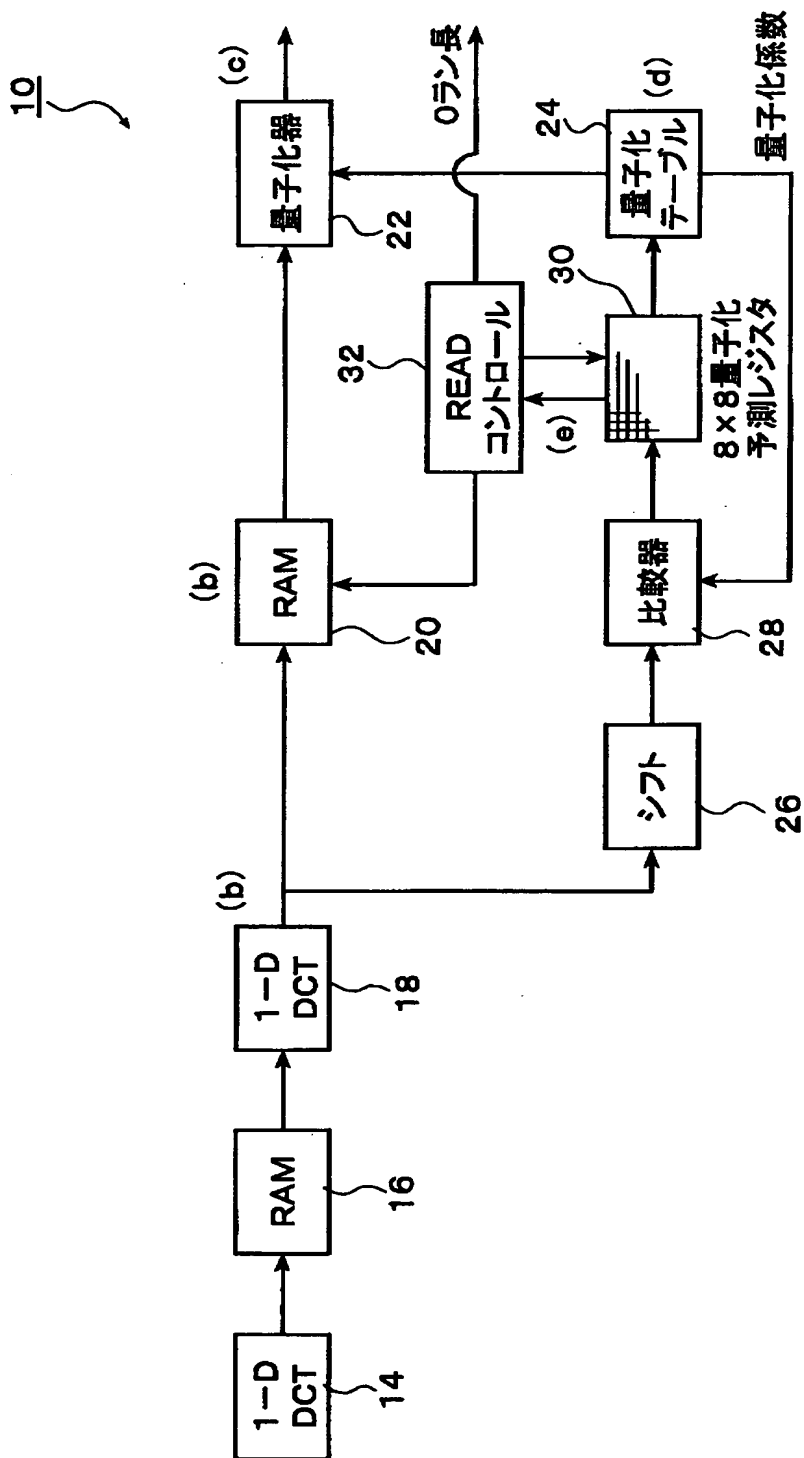
2 2 量子化器

- 2 4 量子化テーブル
- 2 6 シフト回路
- 2 8 比較器
- 3 0 量子化予測レジスタ
- 3 2 リード・コントロール回路
- 3 6 量子化回路
- 3 8 オール 0 検出回路
- 4 0 セレクタ

【書類名】

図面

【図 1】



【図2】

(b)	260, -79, 0, -8, -2, -3, -4, 1, ...
$2 \times (b) $	520, 158, 0, 16, 4, 6, 8, 2, ...
(d)	16, 12, 14, 14, 18, 24, 49, 72, ...
比較判定結果	1, 1, 0, 1, 0, 0, 0, 0, ...

【図3】

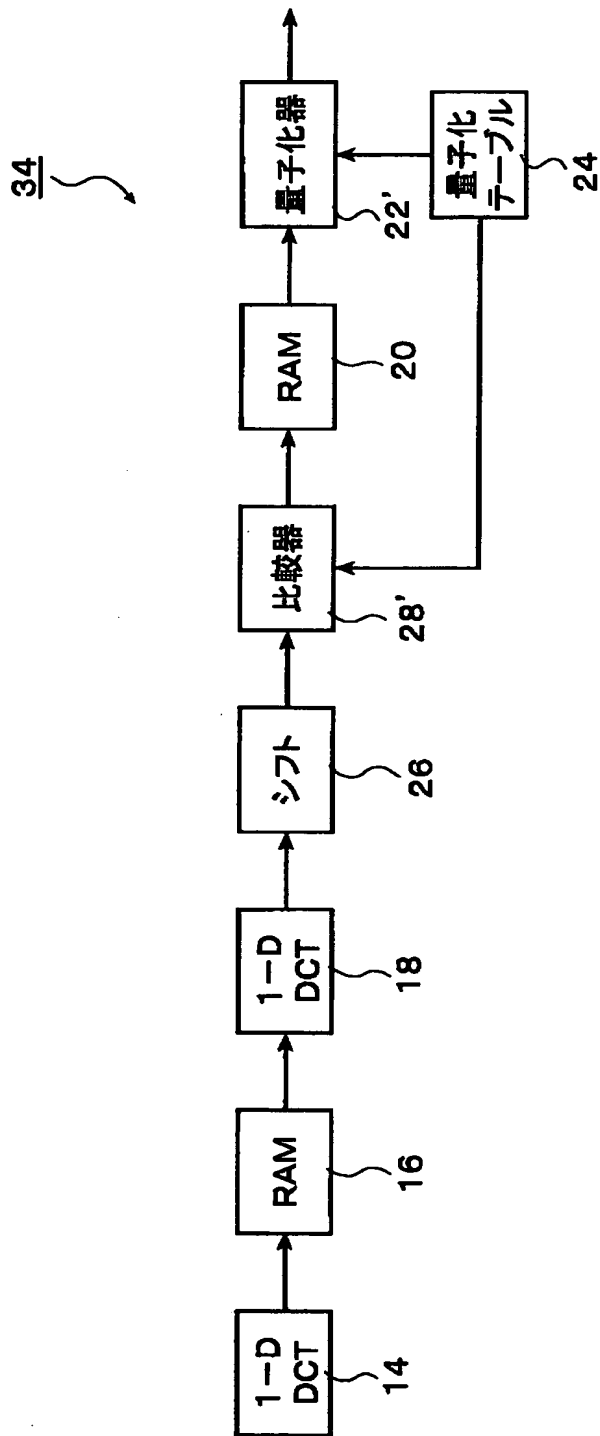
(e) 予測レジスタ

1	1	1	0	0	0	0	0
1	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0
1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0

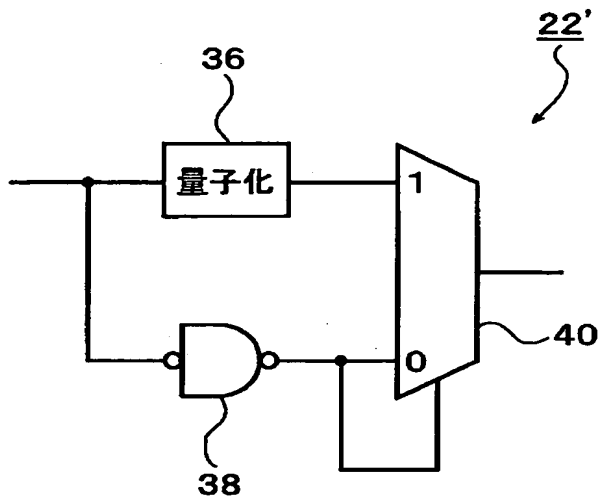
【図4】

	0ラン長	(b)	(c)
1	0	260	16
2	0	49	4
3	0	-79	-7
4	1	36	3
5	0	-16	-2
6	2	-8	-1
7	0	-8	-1
8	EOB		

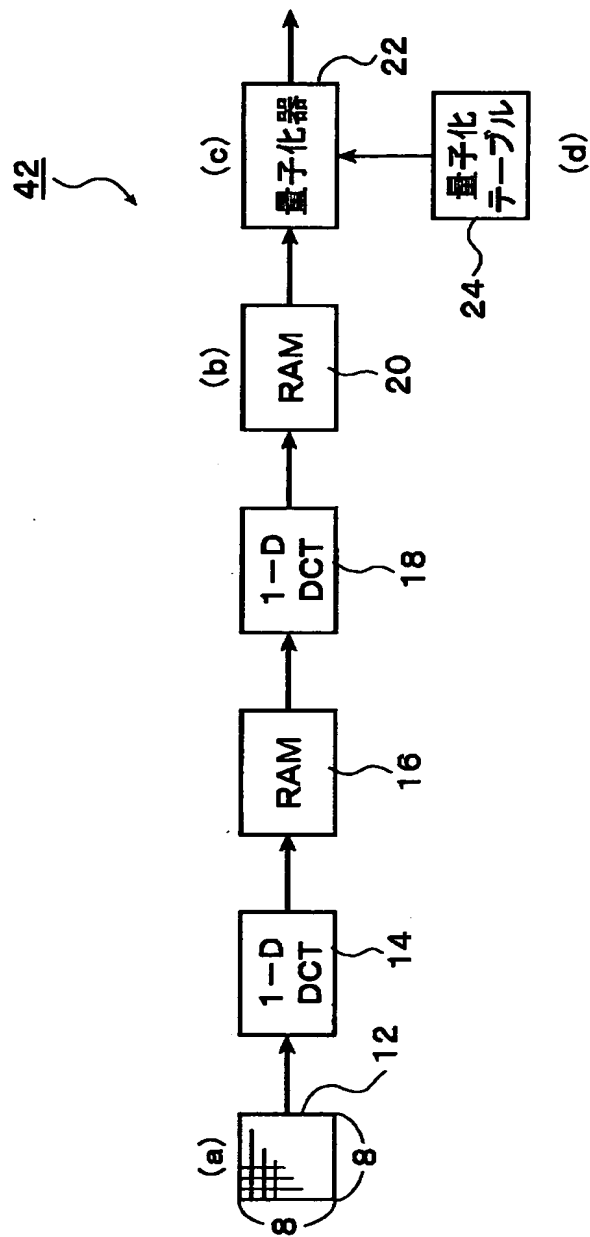
【図 5】



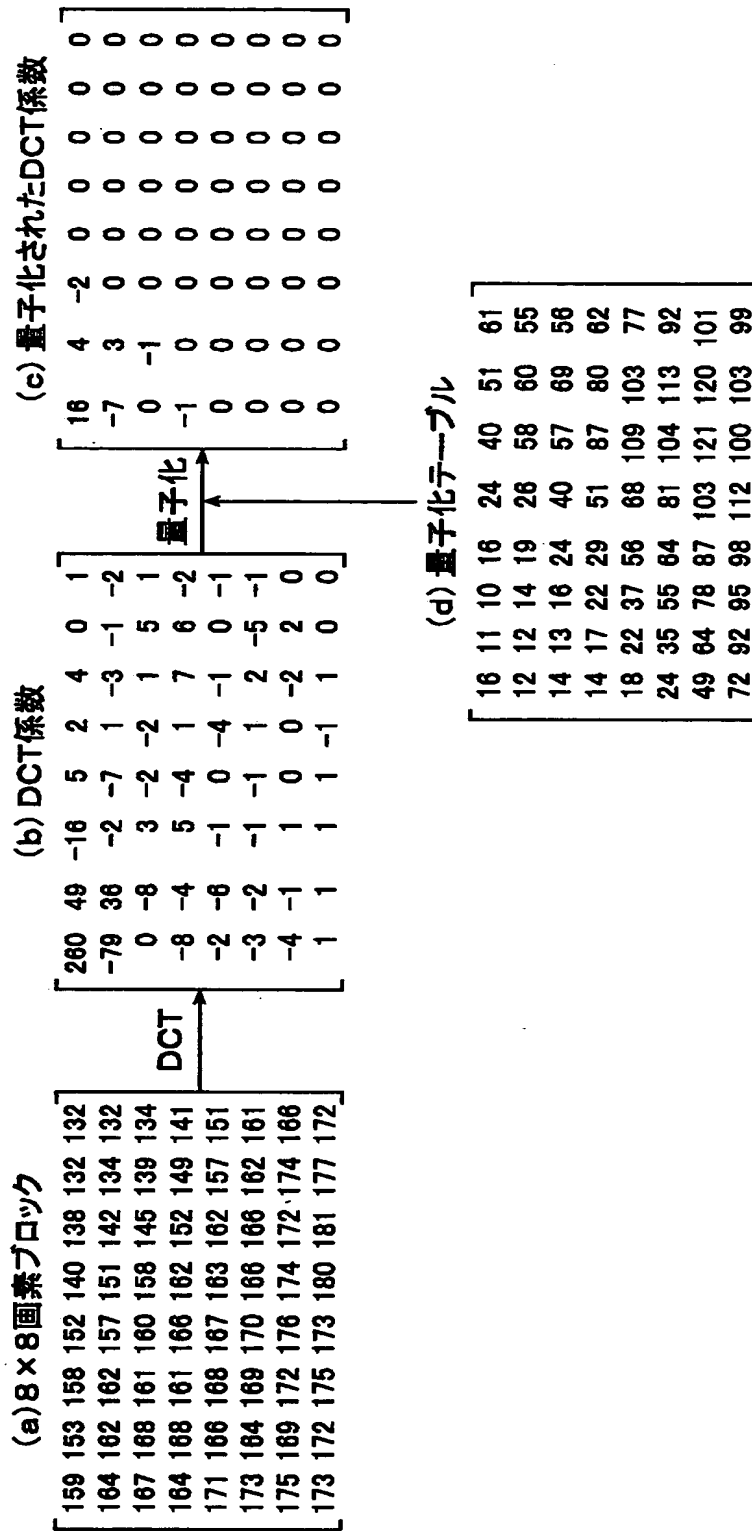
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】消費電力を削減することができ、なおかつ処理も高速化することができるデータ量子化装置を提供する。

【解決手段】直交変換後の係数を量子化する前に、直交変換後の係数とこれに各々対応する量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定し、量子化後の係数が‘0’にならない直交変換後の係数のみを量子化するように制御することにより、上記課題を解決する。

【選択図】図1

出 願 人 履 歴 情 報

識別番号 [000001258]

1. 変更年月日 1990年 8月13日

[変更理由] 新規登録

住 所 兵庫県神戸市中央区北本町通1丁目1番28号
氏 名 川崎製鉄株式会社